

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-258121

(P2003-258121A)

(43)公開日 平成15年9月12日 (2003.9.12)

B A

(51)Int.Cl.⁷
H 01 L 21/8238
21/28
27/092
29/423
29/49

識別記号

F I
H 01 L 21/28
27/08
29/58

テマコード(参考)
301S 4M104
321D 5F048
G

審査請求 未請求 請求項の数9 OL (全18頁)

(21)出願番号 特願2002-344226(P2002-344226)
(22)出願日 平成14年11月27日 (2002.11.27)
(31)優先権主張番号 特願2001-398180(P2001-398180)
(32)優先日 平成13年12月27日 (2001.12.27)
(33)優先権主張国 日本 (JP)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 中嶋 一明
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72)発明者 松尾 浩司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

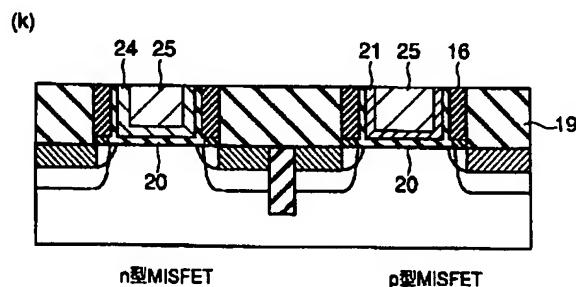
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 デュアルメタルゲートプロセスの問題を改善し、素子の特性や信頼性を向上させることができ可能な半導体装置を提供する。

【解決手段】 第1のゲート絶縁膜20と、第1のゲート絶縁膜上に設けられたMS_i_x膜(ただし、Mはタンゲステン及びモリブデンの中から選択された金属元素、 $x > 1$)24を含む第1のゲート電極とを備えたn型MISトランジスタと、第2のゲート絶縁膜20と、第2のゲート絶縁膜上に設けられたMS_i_y膜(ただし、 $0 \leq y < 1$)21を含む第2のゲート電極とを備えたp型MISトランジスタと、を備えた半導体装置である。



【特許請求の範囲】

【請求項1】第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられたMS_{i_x}膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、 $x > 1$ ）を含む第1のゲート電極と、を備えたn型MISトランジスタと、第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられたMS_{i_y}膜（ただし、 $0 \leq y < 1$ ）を含む第2のゲート電極と、を備えたp型MISトランジスタと、を備えたことを特徴とする半導体装置。

【請求項2】 $x \geq 2$ であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第1のゲート電極は、前記MS_{i_x}膜上に設けられ前記MS_{i_x}膜よりも抵抗率の低い導電膜をさらに含むことを特徴とする請求項1に記載の半導体装置。

【請求項4】n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_{i_y}膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、 $0 \leq y < 1$ ）を形成する工程と、

前記第1の領域内の前記MS_{i_y}膜をシリコンと反応させて第1の領域内にMS_{i_x}膜（ただし、 $x > 1$ ）を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項5】前記MS_{i_x}膜を形成する工程は、前記第1の領域内のMS_{i_y}膜上にシリコン膜を形成する工程と、熱処理によって前記第1の領域内のMS_{i_y}膜を前記シリコン膜と反応させる工程とを含むことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】前記MS_{i_x}膜上に前記MS_{i_x}膜よりも抵抗率の低い導電膜を形成する工程をさらに備えたことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_{i_x}膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、 $x > 1$ ）を形成する工程と、

前記第2の領域内の前記MS_{i_x}膜に含有されたシリコンを抽出して第2の領域内にMS_{i_y}膜（ただし、 $0 \leq y < 1$ ）を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項8】前記MS_{i_y}膜を形成する工程は、前記第2の領域内のMS_{i_x}膜上に金属膜を形成する工程と、熱処理によって前記金属膜を前記第2の領域内のMS_{i_x}膜に含有されたシリコンと反応させる工程とを含むことを特徴とする請求項7に記載の半導体装置の製造方法。

- 10 【請求項9】 $x \geq 2$ であることを特徴とする請求項4又は請求項7に記載の半導体装置の製造方法。
- 【発明の詳細な説明】
- 【0001】
- 【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特にn型MISトランジスタとp型MISトランジスタとで異なるゲート材料を用いた半導体装置及びその製造方法に関する。
- 【0002】

【従来の技術】MOSFETの微細化に伴って、ゲート酸化膜（# gate oxide film #）（ゲート絶縁膜（# gate insulating film #））の薄膜化が進められている。例えば、50nm以下のゲート長を有するMOSFETでは、厚さ1nm程度の極めて薄いゲート酸化膜が必要となる。その要因の一つとして、ゲート電極として用いる多結晶シリコン（# polycrystalline silicon #）（以下、ポリシリコン（# polysilicon #）という場合もある）の空乏化（# depletion #）があげられる。このポリシリコンの空乏化がなくなると、ゲート酸化膜を0.5nm程度さらに厚くすることができる。そのため、空乏化のない金属をゲート電極に用いた、いわゆるメタルゲート電極構造のMOSFET（MISFET）が注目されている。

【0003】しかし、ゲート電極として1種類の金属を用いた場合には、以下のような問題が生じる。すなわち、ゲート電極の仕事関数（# work function #）がn型MISFETとp型MISFETとで等しくなる。そのため、ポリシリコンゲートのようにn型MISFETとp型MISFETとでゲート電極の仕事関数を異ならせることができず、しきい値電圧（# threshold voltage #）を適正化することが非常に難しくなる。特に、0.5V以下の低いしきい値電圧を実現するためには、n型MISFETのゲート電極には仕事関数が4.6eV以下、望ましくは4.3eV以下の材料、p型MISFETのゲート電極には仕事関数が4.6eV以上、望ましくは4.9eV以上の材料が必要となる。そのため、ゲート電極にn型MISFETとp型MISFETとで異なる金属材料を用いた、いわゆるデュアルメタルゲートプロセスが必要となる。

【0004】デュアルメタルゲートプロセスでは、n型MISFETとp型MISFETとでゲート電極を別々に形成する必要がある。そのため、n型及びp型MISFETが形成される領域を含む全面に一方のMISFET（例えばn型）用のゲート電極材料膜を形成し、その後で他方のMISFET（例えばp型）が形成される領域内のゲート電極材料膜のみを選択的に除去し、その後で他方のMISFET（例えばp型）用のゲート電極材料膜を形成する。

【0005】例えば、n型MISFETのゲート電極材料としてハフニウム窒化物、p型MISFETのゲート

電極材料としてタングステンを用いた場合を想定する。この場合、p型MISFET形成領域のハフニウム窒化物は、レジストをマスクとして、例えば過酸化水素水を用いてウェットエッチングによって除去する。

【0006】しかしながら、ハフニウム窒化物等のゲート電極材料をウェットエッチングによって除去する際に、p型MISFET形成領域のゲート絶縁膜もエッチング液に晒されてしまう。また、レジストを除去する際に用いる有機溶剤などにも、p型MISFET形成領域のゲート絶縁膜が晒されてしまう。したがって、上述したデュアルメタルゲートプロセスでは、p型MISFETのゲート絶縁膜の信頼性が大幅に低下してしまうという問題が生じる。

【0007】また、従来技術として、特許文献1、特許文献2及び特許文献3には、n型MISFETとp型MISFETとでゲート電極の仕事関数を変えるために、タングステンシリサイド (# tungsten silicide #) 膜に不純物 (# impurity #) をイオン注入 (# ion implantation #) するという技術が開示されている。すなわち、n型MISFETのタングステンシリサイド膜にはn型不純物をイオン注入し、p型MISFETのタングステンシリサイド膜にはp型不純物をイオン注入することで、n型MISFETのゲート電極の仕事関数とp型MISFETのゲート電極の仕事関数とを異ならせるようにしている。

【0008】しかしながら、タングステンシリサイド膜中にイオン注入によって不純物を導入するため、イオン注入ダメージによってゲート絶縁膜等の信頼性が低下するという問題が生じる。

【0009】

【特許文献1】特開平8-130216号公報

【0010】

【特許文献2】特開平8-153804号公報

【0011】

【特許文献3】特開平9-246206号公報

【0012】

【発明が解決しようとする課題】このように、n型MISFETとp型MISFETとで互いに仕事関数が異なるゲート電極材料を用いたデュアルメタルゲートプロセスが提案されている。しかしながら、ゲート電極材料を除去する際のエッチング液やレジストを除去する際の除去液にゲート絶縁膜が晒されるため、ゲート絶縁膜の信頼性が低下するという問題がある。また、シリサイド膜にn型及びp型の不純物をイオン注入することにより、n型MISFETとp型MISFETとでゲート電極の仕事関数を変える方法も提案されている。しかしながら、イオン注入ダメージによってゲート絶縁膜等の信頼性が低下するという問題がある。

【0013】本発明は、上記従来の課題に対してなされたものであり、上述した問題を改善し、素子の特性や信

頼性を向上させることが可能な半導体装置及びその製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明に係る半導体装置は、第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられたMS_i_x膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、x > 1）を含む第1のゲート電極と、を備えたn型MISトランジスタと、第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられたMS_i_y膜（ただし、0 ≤ y < 1）を含む第2のゲート電極と、を備えたp型MISトランジスタと、を備えたことを特徴とする。

【0015】本発明に係る半導体装置の製造方法は、n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_i_y膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、0 ≤ y < 1）を形成する工程と、前記第1の領域内の前記MS_i_y膜をシリコンと反応させて第1の領域内にMS_i_x膜（ただし、x > 1）を形成する工程と、を備えたことを特徴とする。

【0016】本発明に係る半導体装置の製造方法は、n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_i_x膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、x > 1）を形成する工程と、前記第2の領域内の前記MS_i_x膜に含有されたシリコンを抽出して第2の領域内にMS_i_y膜（ただし、0 ≤ y < 1）を形成する工程と、を備えたことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0018】（実施形態1）図1(a)～図6(k)は、本発明の第1の実施形態に係るMISFET(MISトランジスタ)の製造工程を示した断面図である。本実施形態は、いわゆるダマシン (# damascene #) ゲート技術を用いてMISFETを作製するものである。

【0019】まず、図1(a)に示すように、シリコン基板(半導体基板)10の表面領域に、STI技術等を用いて素子分離（# 素子分離=isolation #）領域11を形成する。続いて、将来除去されるダミーゲート構造として、例えば、厚さ6nm程度のゲート酸化膜（ゲート絶縁膜）12、厚さ150nm程度のポリシリコン膜13及び厚さ50nm程度のシリコン窒化膜14からなる積層（# stack #）構造を、酸化技術、CVD技術、リソグラフィー技術及びRIE技術を用いて形成する。続いて、イオン注入技術を用いて、エクステンション拡散層（# diffusion layer #）領域15

を形成する。さらに、シリコン窒化膜からなる幅40nm程度のゲート側壁（# side wall #）膜16を、CVD技術とRIE技術を用いて形成する。

【0020】次に、図1（b）に示すように、イオン注入技術によりソース・ドレイン拡散層17を形成する。その後、サリサイド（# salicide #）プロセス技術により、ダミーゲート構造及びゲート側壁膜16をマスクとして、ソース・ドレイン領域のみに厚さ40nm程度のシリサイド（# silicide #）膜（例えばコバルトシリサイド膜）18を形成する。この時、ソース・ドレイン領域のドーパントとして、n型領域にはヒ素、p型領域にはガリウムを、いずれも $1 \times 10^{15} / \text{cm}^2$ 以上のドーズ量でイオン注入しておく。これらのドーパントは、シリサイドの凝集を抑制し、熱耐性を大幅に向上させるためのものである。

【0021】次に、図2（c）に示すように、層間絶縁膜（# interlayer insulating film #）19として、例えばシリコン酸化膜をCVD法によって堆積する。さらに、このシリコン酸化膜をCMP技術によって平坦化することで、シリコン窒化膜14及びシリコン窒化膜16の上面を露出させる。

【0022】次に、図2（d）に示すように、例えば磷酸を用いて、シリコン窒化膜14を層間絶縁膜19に対して選択的に除去する。この時に、ゲート側壁膜のシリコン窒化膜16も、ポリシリコン膜13の高さ程度までエッチングされる。続いて、例えばラジカル原子エッチング技術を用いて、ダミーゲートであるポリシリコン膜13を、層間絶縁膜19及びゲート側壁膜16に対して選択的に除去する。

【0023】次に、図3（e）に示すように、弗酸等のウェット処理によってダミーゲート酸化膜12を除去することで、シリコン基板10の表面を露出させる。続いて、このようにして得られたゲート用溝部の少なくとも底部に、ゲート絶縁膜20を形成する。ゲート絶縁膜20には、例えばシリコン基板10を熱酸化することで得られたシリコン酸化膜を用いることができる。また、このシリコン酸化膜の表面を窒素プラズマによってさらに窒化した絶縁膜を、ゲート絶縁膜20として用いてよい。さらに、以下に述べるように、高誘電体膜（# high dielectricconstant film #）をゲート絶縁膜20に用いてよい。

【0024】ゲート絶縁膜20に用いる高誘電体膜には、例えばハフニウム酸化膜があげられる。このハフニウム酸化膜は、例えば、HfCl₄とNH₃を用いたCVD法、有機系のHfガスを用いたCVD法、或いはハフニウム窒化物のターゲットやハフニウムのターゲットを用いたスパッタリング法を用いてハフニウム窒化膜を形成し、その後でハフニウム窒化膜を酸化することにより、形成することができる。酸化されるハフニウム窒化膜の厚さは、数nm程度の極薄であることが望ましい。

ハフニウム窒化膜の膜厚が厚くなるにつれて、結晶化が起こりやすくなるためである。ハフニウム窒化物をスパッタリング法で形成する場合は、スパッタされたハフニウムやハフニウム窒化物の粒子のエネルギーを100eV以下、望ましくは50eV以下にすることが望ましい。スパッタ粒子のエネルギーが高くなるにつれて、シリコン基板へスパッタ粒子が食い込むようになり、チャネル表面のモフォロジーが劣化するためである。

【0025】次に、図3（f）に示すように、スパッタリング法、CVD法或いは塗布法を用いて、タンクステン膜（W膜）21を全面に形成する。このタンクステン膜21の膜厚は、特に限定されるものではないが、後述するような理由により、10nm程度以下であることが望ましい。また、スパッタリング法を用いる場合は、スパッタされたタンクステン粒子のエネルギーを100eV以下、望ましくは50eV以下にすることが望ましい。タンクステン粒子のエネルギーをこのような低エネルギーにすることで、下地のゲート絶縁膜20へタンクステン粒子が食い込むことがなくなり、ゲート絶縁膜の信頼性が著しく向上する。

【0026】次に、図4（g）に示すように、スパッタリング法、CVD法或いは塗布法を用いて、シリコン膜22を全面に形成する。シリコン膜22の膜厚は、少なくともタンクステン膜21の膜厚よりも厚くする。また、シリコン膜22の膜厚は、後述するような理由により、30nm程度以下とすることが望ましい。また、タンクステン膜21の形成工程からシリコン膜22の形成工程までの間（基板の搬送工程等）は、基板を大気に晒すことなく、真空中或いは酸素の極力少ない雰囲気中に基板を維持することが望ましい。タンクステン膜21とシリコン膜22との間に酸素が存在すると、後のシリサイデーション（# silicidation #）工程において均一な反応が阻害されるおそれがあるためである。

【0027】次に、図4（h）の工程に移行する。なお、図4（h）からは、図の向かって左側はn型MISFET形成領域、右側はp型MISFET形成領域とする（以後の図も同様）。本工程では、リソグラフィー技術を用いて、p型MISFET領域のみが開口したレジスト23のパターンを形成する。

【0028】次に、図5（i）に示すように、レジスト23をマスクとし、且つタンクステン膜21をエッチングストッパーとして、シリコン膜22のドライエッチングを行うことで、p型MISFET領域のシリコン膜22のみを選択的に除去する。このとき、ゲート絶縁膜20はタンクステン膜21に覆われているため、ドライエッチングされない。

【0029】次に、図5（j）に示すように、レジスト23を有機溶剤などで除去する。この時も、ゲート絶縁膜20はタンクステン膜21に覆われているため、有機溶剤などに晒されないですむ。その後、例えば窒素ガス

雰囲気中或いは窒素と水素の混合ガス雰囲気中において、500°C～600°C程度の温度で熱処理を行う。この熱処理により、n型MISFET領域のタンゲステン膜21がシリコン膜22と反応して、タンゲステンシリサイド膜(WS_{ix}膜)24が形成される。

【0030】上記熱処理によって形成されるタンゲステンシリサイド膜24の膜厚が厚すぎると、膜応力によってタンゲステンシリサイド膜24が剥がれてしまうおそれがある。したがって、タンゲステンシリサイド膜24の膜厚が、望ましくは20nm以下、より望ましくは10nm以下となるように、タンゲステン膜21とシリコン膜22の膜厚を設定しておくことが望ましい。

【0031】また、熱処理において反応しなかった余剰のシリコン膜22が存在する場合には、この余剰のシリコン膜22をドライエッチング等によって選択的に除去するようにしてもよいし、或いは、後述するように余剰のシリコン膜22を残しておいてもよい。一方、タンゲステン膜21は、上記熱処理において全て反応してタンゲステンシリサイド膜24となるように、タンゲステン膜21及びシリコン膜22の熱処理温度及び熱処理時間を設定する。

【0032】また、タンゲステンシリサイド膜(WS_{ix}膜)24におけるシリコンの組成比(# composition ratio #)(シリコン原子数の比率)は、タンゲステンシリサイド膜24におけるタンゲステンの組成比(タンゲステン原子数の比率)よりも高いことが望ましい。すなわち、x>1であることが望ましい。特に、シリコンの組成比がタンゲステンの組成比の2倍以上であること(x≥2)が望ましい。

【0033】次に、図6(k)に示すように、タンゲステン膜25を、スパッタリング法或いはCVD法など用いて全面に堆積する。続いて、タンゲステン膜21、タンゲステンシリサイド膜24及びタンゲステン膜25のCMPを行う。これにより、n型MISFET領域のゲート用構内にはタンゲステンシリサイド膜24及びタンゲステン膜25が、p型MISFET領域にはタンゲステン膜21及びタンゲステン膜25が、それぞれ埋め込まれたゲート電極構造が得られる。

【0034】以上のようにして、n型MISFETではゲート電極の最下層(ゲート絶縁膜20に接する部分)がタンゲステンシリサイド膜24であり、p型MISFETではゲート電極の最下層(ゲート絶縁膜20に接する部分)がタンゲステン膜21である相補型(# complementary #)MISFET(CMISFET)が得られる。

【0035】図7は、WS_{ix}膜(或いはWS_{iy}膜)におけるx値(或いはy値)と仕事関数の関係を示した図である。図に示すように、x=0の場合、すなわちタンゲステン膜(W膜)の場合には、仕事関数は4.7～4.9eV程度である。仕事関数が幅を持っているの

は、結晶方位面(# crystal orientation face #)に応じて仕事関数が異なるためである。

【0036】タンゲステンシリサイド膜(WS_{ix}膜)におけるシリコンの組成比が、タンゲステンシリサイド膜におけるタンゲステンの組成比よりも高い場合、すなわちx>1の場合には、タンゲステンシリサイド膜の仕事関数は、結晶方位面によって多少変動はあるものの、4.6eV程度以下となる。すでに述べたように、n型MISFETのゲート電極の仕事関数は4.6eV以下10にすることが望ましい。したがって、x>1としてことで、n型MISFETのゲート電極に適したタンゲステンシリサイド膜が得られる。また、シリコンの組成比がタンゲステンの組成比の2倍以上である場合、すなわちx≥2の場合には、結晶方位面によらず、タンゲステンシリサイド膜の仕事関数が4.6eV程度以下となる。したがって、x≥2としてで、n型MISFETのゲート電極により適したタンゲステンシリサイド膜が得られる。

【0037】なお、上述した実施形態では、p型MISFETのゲート電極の最下層にタンゲステン膜(W膜)21を用いたが、タンゲステン膜21の代わりにタンゲステンシリサイド膜(WS_{iy}膜)を用いることも可能である。この場合にも、基本的には上述した実施形態と同様の製造方法を適用可能である。すでに述べたように、p型MISFETのゲート電極の仕事関数は4.6eV以上にすることが望ましい。図7からわかるように、y<1としてで、4.6eV程度以上の仕事関数を有する、p型MISFETのゲート電極に適したタンゲステンシリサイド膜が得られる。したがって、p型MISFETのゲート電極には、タンゲステン膜(y=0に対応)の他、タンゲステンシリサイド膜(0<y<1に対応)を用いることが可能である。

【0038】以上のように、本実施形態によれば、n型MISFET及びp型MISFETそれぞれのゲート電極の仕事関数を最適化することにより、n型MISFETとp型MISFETそれぞれのしきい値電圧を適正化することが可能となる。

【0039】また、本実施形態によれば、ゲート絶縁膜上にタンゲステン膜を形成した後に該タンゲステン膜を除去しないため、ゲート絶縁膜の表面が従来のようにウエットエッチング液や有機溶剤などに晒されない。また、従来のようにタンゲステンシリサイド膜中に不純物をイオン注入することができないため、ゲート絶縁膜にイオン注入ダメージが加わることもない。したがって、ゲート絶縁膜の信頼性に優れたMISFETを作製することが可能となる。

【0040】また、タンゲステンは、ゲート絶縁膜(特にシリコン酸化膜(SiO₂膜)やシリコン酸窒化膜(# silicon oxinitride film #)(SiON膜))中に拡散し難いため、この点からもゲート絶縁膜

の信頼性に優れたMISFETを得ることが可能となる。

【0041】なお、上述した図6 (k) の工程で形成する上層側のタングステン膜25は、主としてゲート電極の低抵抗化のためのものである。したがって、タングステンリサイド膜よりも抵抗率の低い導電材料として、タングステンの他にアルミニウム等を用いてもよい。

【0042】また、図6 (k) の工程において、タングステン膜25を形成する前にチタン窒化膜等のバリアメタル膜を5nm程度形成し、その後でタングステン膜25を形成するようにしてもよい。

【0043】また、図5 (j) の工程において熱処理で反応しなかった余剰のシリコン膜22を除去しなかった場合には、図6 (k) の工程においてタングステン膜25を形成した後に熱処理を行い、この熱処理によって余剰のシリコン膜22とタングステン膜25とを反応させてタングステンリサイド膜にしてもよい。或いは、チタン膜及びチタン窒化膜の積層構造からなるバリアメタル膜を形成した後にタングステン膜25を形成し、その後に熱処理を行って余剰のシリコン膜22とチタンとを反応させてチタンリサイド膜にしてもよい。

【0044】さらに、上述した実施形態では、p型MISFETのゲート電極の最下層をタングステン膜21とし、n型MISFETのゲート電極の最下層をタングステンリサイド膜24としたが、p型MISFETのゲート電極の最下層をモリブデン膜とし、n型MISFETのゲート電極の最下層をモリブデンリサイド膜としてもよい。この場合、上述した製造工程で用いたタングステン膜21の代わりにモリブデン膜を用いることで、上述したと同様の工程を適用することが可能である。また、モリブデンリサイド膜についても、図7と同様の特性を示すことから、一般的に言えば、n型MISFETのゲート電極についてはMo_xSi_y膜 ($x > 1$ 、より望ましくは $x \geq 2$) を、p型MISFETのゲート電極についてはMo_xSi_y膜 ($0 \leq y < 1$) を適用することが可能である。

【0045】(実施形態2) 図8 (a) ~図10 (i) は、本発明の第2の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【0046】まず、図8 (a) に示すように、素子分離領域101を有した単結晶シリコン基板(半導体基板)100上に、シリコン酸化膜102を形成する。続いて、シリコン酸化膜102上に、多結晶シリコン膜103を堆積する。

【0047】次に、図8 (b) に示すように、多結晶シリコン膜103を異方性エッチングし(# isotropic etching #)、ダミーゲート電極を形成する。続いて、n型MISトランジスタが形成される領域(nMOS領域)にはAs⁺イオンをイオン注入し、p型MISトランジスタが形成される領域(pMOS領域)にはB⁺

イオンをイオン注入する。さらに、1000°C、5秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層(# diffusion layer #) 105を形成する。

【0048】次に、図8 (c) に示すように、シリコン窒化膜106及びシリコン酸化膜107を全面に堆積する。その後、エッチバックを行い、ダミーゲート電極の側壁上に選択的にシリコン窒化膜106及びシリコン酸化膜107を残す。続いて、nMOS領域にはP⁺イオンをイオン注入し、pMOS領域にはB⁺イオンをイオン注入する。さらに、950°C、10秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層108を形成する。

【0049】次に、図9 (d) に示すように、層間絶縁膜109を全面に堆積する。その後、化学的機械的研磨(# chemical mechanical polishing #) (CMP) によって層間絶縁膜109を平坦化し、多結晶シリコン膜103の表面を露出させる。

【0050】次に、図9 (e) に示すように、多結晶シリコン膜103を除去し、さらにシリコン酸化膜102を除去する。これにより、シリコン基板100及びシリコン窒化膜106に囲まれた溝が形成される。

【0051】次に、図9 (f) に示すように、プラズマ酸窒化法により、溝の底部に、ゲート絶縁膜110として薄いシリコン酸窒化膜(# silicon oxinitride film #) を形成する。

【0052】次に、図10 (g) に示すように、CVD法により、全面にタングステンリサイド膜(WSi_x膜) 111を堆積する。ソースガスとしては、例えば、W(CO)₆及びSiH₄を用いる。さらに、CMP法によって、タングステンリサイド膜111を平坦化して、層間膜109の表面を露出させる。

【0053】次に、図10 (h) に示すように、金属膜としてタングステン膜(W膜) 112を全面に堆積する。さらに、PMOS領域以外のタングステン膜112をエッティングによって除去する。

【0054】次に、図10 (i) に示すように、例えば600°C程度の熱処理を行う。この熱処理により、タングステンリサイド膜111中のSiがタングステン膜112側に抽出される。その結果、pMOS領域では、nMOS領域のタングステンリサイド膜111よりもSi濃度が低いタングステンリサイド膜113が形成される。その後、残ったタングステン膜112を除去することで、図10 (i) に示すような構造が得られる。

【0055】このようにして、nMOSトランジスタのゲート電極には相対的に仕事関数が低いタングステンリサイド膜111を用い、pMOSトランジスタのゲート電極には相対的に仕事関数の高いタングステンリサイド膜113を用いたCMOSトランジスタを得ることができる。

【0056】図10(i)の熱処理工程の効果を調べるために、図11に示すようなMISキャパシタを以下のようにして作製した。まず、素子分離領域201を有した単結晶シリコン基板200上に、ゲート絶縁膜202を形成する。続いて、ゲート絶縁膜202上に、タングステンシリサイド膜203(厚さ10nm)堆積し、さらにタングステンシリサイド膜203上にタングステン膜204(厚さ40nm)を堆積する。続いて、タングステンシリサイド膜203及びタングステン膜204をパターニングしてゲート電極を形成する。その後、窒素雰囲気中で450～600℃の温度範囲で熱処理を行い、タングステンシリサイド膜203中のSiをタングステン膜204によって抽出する。さらに、水素と窒素の混合ガス雰囲気中で450℃の熱処理を行う。このようにして、図11に示したようなMISキャパシタを作製した。

【0057】図12は、このようにして作製したMISキャパシタのC-V特性の測定結果を示したものである。特性(a)、(b)、(c)及び(d)は、それぞれ熱処理温度を450℃、500℃、550℃及び600℃としたものである。また、タングステンシリサイド膜203及びタングステン膜204の積層構造を有するMISキャパシタの他、タングステンシリサイド膜の単層構造を有するMISキャパシタ及びタングステン膜の単層構造を有するMISキャパシタについても測定を行った。

【0058】その結果、450℃で熱処理を行った積層構造を有するMISキャパシタのC-V特性は、タングステンシリサイド膜の単層構造を有するMISキャパシタのC-V特性と一致することがわかった。そして、熱処理温度が500℃、550℃及び600℃と増加するにしたがってC-V特性は右方向にシフトし、600℃の場合には、タングステン膜の単層構造を有するMISキャパシタのC-V特性と一致することがわかった。C-V特性のシフト量は電極材料の仕事関数に比例し、C-V特性が右側にシフトするほど仕事関数が高いことを意味する。したがって、熱処理温度を増加させるにしたがって、タングステンシリサイド膜からタングステン膜へ移動するシリコンの量が増加し、600℃程度の温度で熱処理を行った場合には、少なくともタングステンシリサイド膜とゲート絶縁膜との界面(# interface #)近傍では、タングステンシリサイド膜がタングステン膜に極めて近い状態になっていると考えられる。

【0059】なお、本実施形態においても、タングステンシリサイド膜(WSi_x膜或いはWSi_y膜)におけるx値或いはy値と仕事関数との関係は、第1の実施形態で示した図7と同様である。したがって、n型MISFETのタングステンシリサイド膜(WSi_x膜)では、x>1望ましくはx≥2となるようにする。すなわち、タングステンシリサイド膜(WSi_x膜)111に

ついては、x>1望ましくはx≥2となるようにする。また、p型MISFETのタングステンシリサイド膜(WSi_y膜)では、y<1となるようにする。すなわち、タングステンシリサイド膜(WSi_y膜)113については、y<1となるようにする。また、図11及び図12で示した結果からもわかるように、熱処理温度等によってはタングステンシリサイド膜111が実質的にタングステン膜に変換される場合もある。したがって、p型MISFETについては、タングステンシリサイド膜(WSi_y膜、0<y<1)113の代わりにタングステン膜(W膜、y=0に対応)を用いることが可能である。

【0060】以上のように、本実施形態によれば、n型MISFET及びp型MISFETそれぞれのゲート電極の仕事関数を最適化することにより、n型MISFETとp型MISFETそれぞれのしきい値電圧を適正化することが可能となる。

【0061】また、本実施形態によれば、ゲート絶縁膜上にタングステンシリサイド膜を形成した後に該タングステンシリサイド膜を除去しないため、ゲート絶縁膜の表面が従来のようにウエットエッチング液や有機溶剤などに晒されることがない。また、従来のようにタングステンシリサイド膜中に不純物をイオン注入することができないため、ゲート絶縁膜にイオン注入ダメージが加わることもない。したがって、ゲート絶縁膜の信頼性に優れたMISFETを作製することが可能となる。

【0062】なお、本実施形態では、タングステンシリサイド膜111のソースガス(成膜用ガス)としてW(CO)₆及びSiH₄を用いたが、WのソースガスにはWF₆或いはWC₁₆を、SiのソースガスにはSiH₂C₁₂、SiC₁₄或いはSiF₄を用いることも可能である。

【0063】また、本実施形態において、タングステンシリサイド膜111中にリン(P)或いはヒ素(A_s)を含有させるようにしてもよい。Pを含有させる場合には、Pのソースガスとして例えばPH₃を用いればよい。Asを含有させる場合には、Pのソースガスとして例えばAsH₃を用いればよい。タングステンシリサイド膜にPやAs等の不純物を含有させることで、不純物を含有していないタングステンシリサイド膜よりも仕事関数を下げる事が可能である。

【0064】また、本実施形態では、タングステンシリサイド膜111とタングステン膜(金属膜)112を反応させるようにしたが、タングステン膜112の代わりにPt、Pd、Ni、Co、W、Mo、Sb及びBiの少なくとも一つを含有する金属膜を用いることが可能である。

【0065】さらに、本実施形態では、n型MISFETのゲート電極にタングステンシリサイド膜111を用い、p型MISFETのゲート電極にタングステンシリ

サイド膜113を用いたが、これらのタングステンシリサイド膜の代わりにモリブデンシリサイド膜を用いてもよい。この場合、上述した製造工程で用いたタングステンシリサイド膜111の代わりにモリブデンシリサイド膜を用いることで、上述したのと同様の工程を適用することが可能である。Moのソースガスには、Mo (C O) ₆、Mo F₆或いはMo C₁₆を用いることが可能である。Siのソースガスには、Si H₄、Si H₂ C₁₂、Si C₁₄或いはSi F₄を用いることが可能である。また、モリブデンシリサイド膜についても、図7と同様の特性を示すことから、一般的に言えば、n型MISFETのゲート電極についてはMo Si_x膜 ($x > 1$ 、より望ましくは $x \geq 2$) を、p型MISFETのゲート電極についてはMo Si_y膜 ($0 \leq y < 1$) を適用することが可能である。

【0066】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0067】

【発明の効果】本発明によれば、従来のデュアルメタルゲートプロセスを用いた半導体装置の問題点が改善され、素子特性や信頼性に優れた半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図4】本発明の第1の実施形態に係る半導体装置の製

造工程についてその一部を示した断面図である。

【図5】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図6】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図7】WSi_x膜(或いはWSi_y膜)におけるx値(或いはy値)と仕事関数の関係を示した図である。

【図8】本発明の第2の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図9】本発明の第2の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図10】本発明の第2の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図11】本発明の第2の実施形態に係り、熱処理の効果を調べるために作製したMISキャパシタの構成を示した図である。

【図12】図11に示したような構成を有するMISキャパシタについて、そのC-V特性の測定結果を示した図である。

20 【符号の説明】

10、100、200…シリコン基板

11、101、201…素子分離領域

12、20、110、202…ゲート絶縁膜

13、103…多結晶シリコン膜

14、106…シリコン窒化膜

15…エクステンション拡散層領域

16…ゲート側壁膜

17…ソース・ドレイン拡散層

18…シリサイド膜

30 19、109…層間絶縁膜

21、25、112、204…タングステン膜

22…シリコン膜

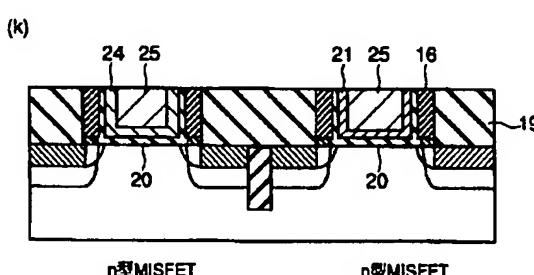
23…レジスト

24、111、113、203…タングステンシリサイド膜

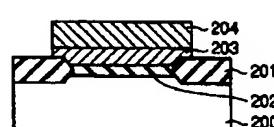
102、107…シリコン酸化膜

105、108…拡散層

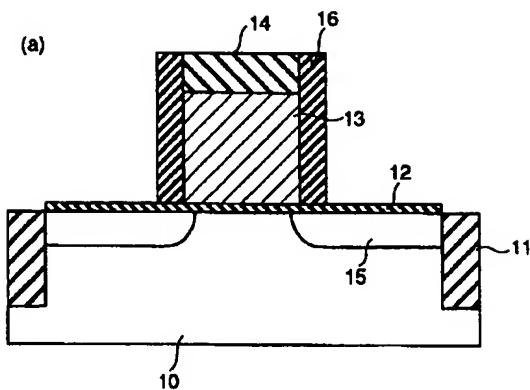
【図6】



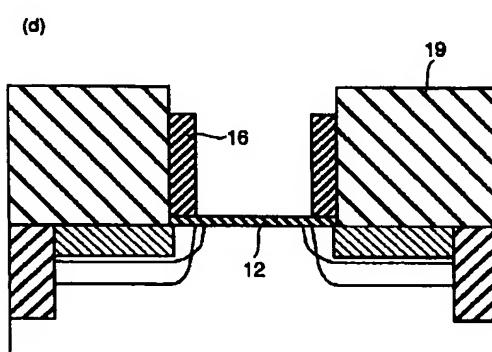
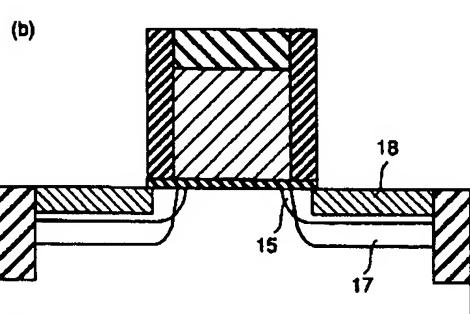
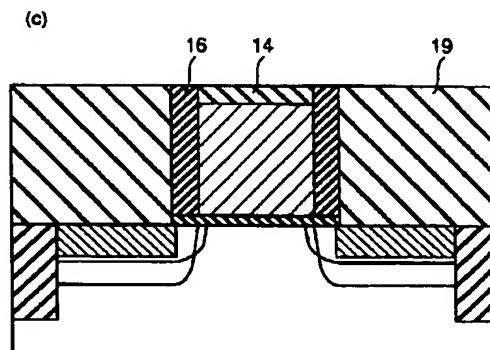
【図11】



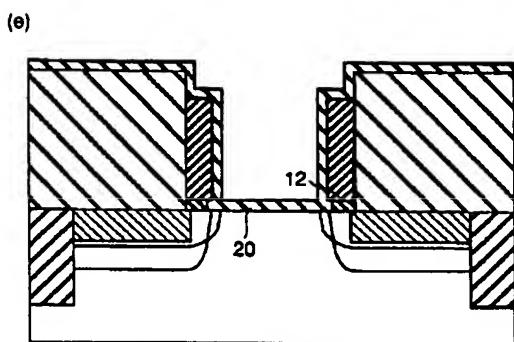
【図1】



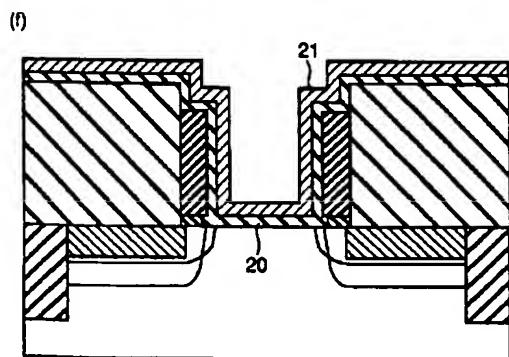
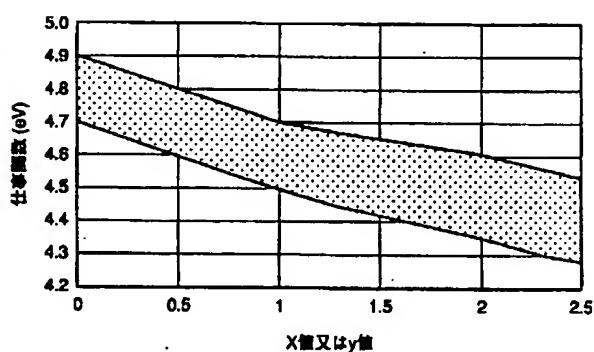
【図2】



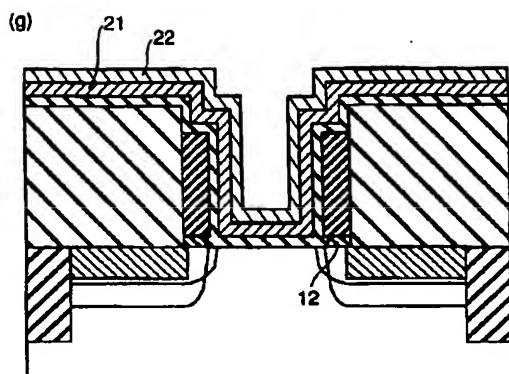
【図3】



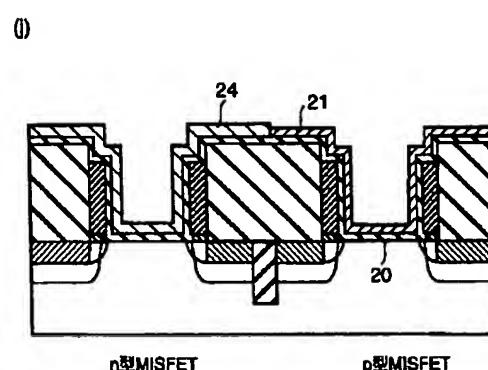
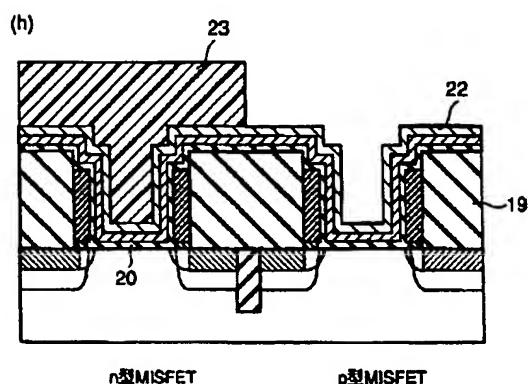
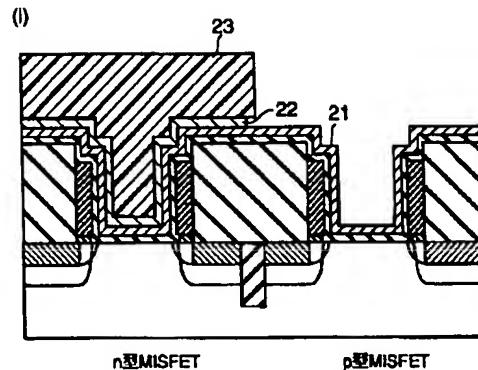
【図7】



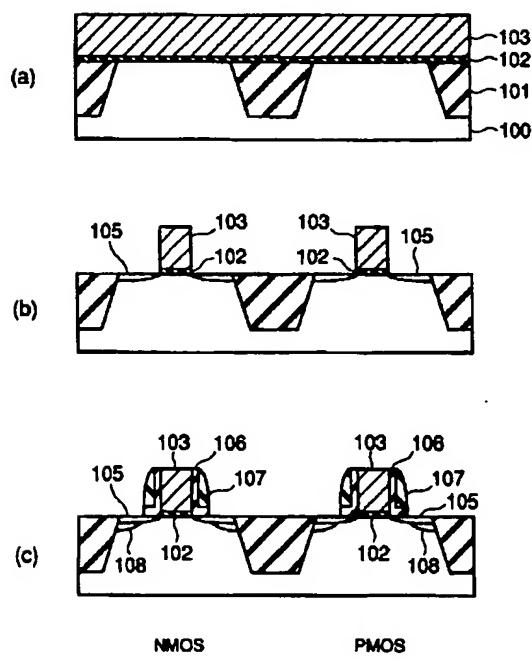
【図4】



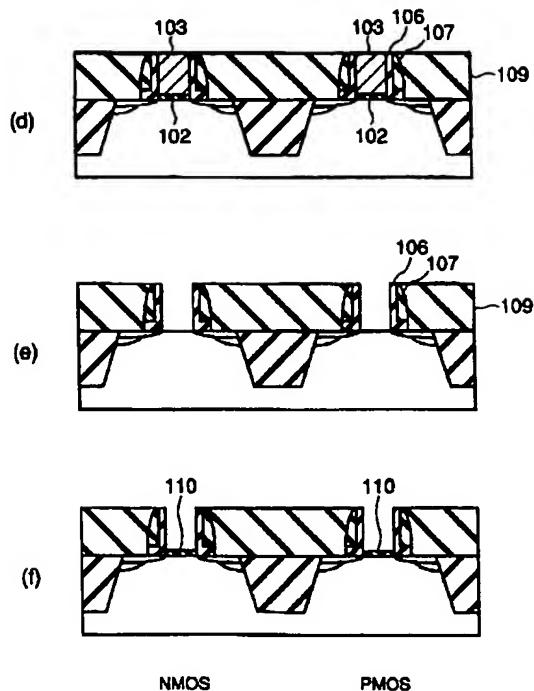
【図5】



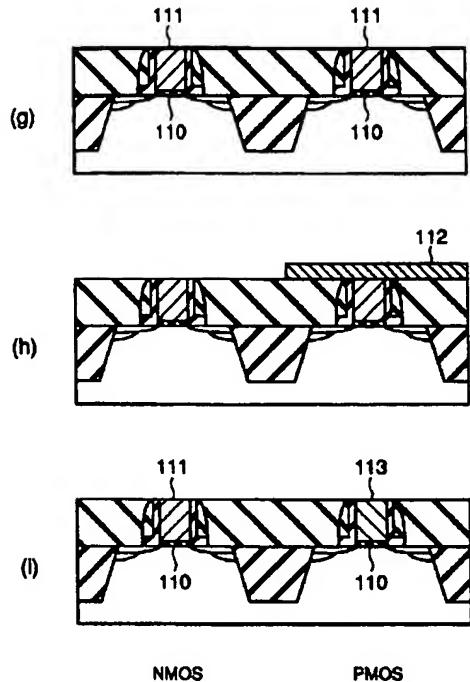
【図8】



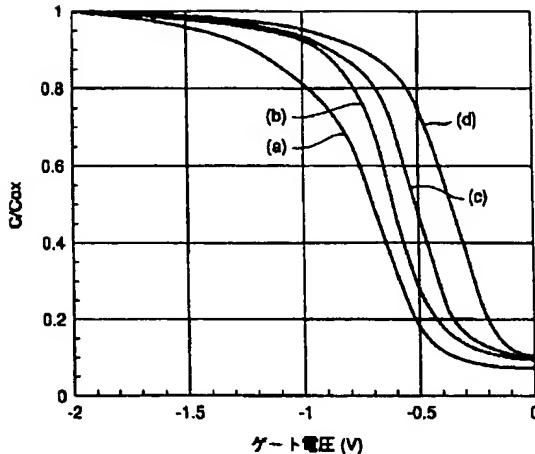
【図9】



【図10】



【図12】



【手続補正書】

【提出日】平成14年11月29日(2002.11.29)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられたMS_i_x膜(ただし、Mはタングステン及びモリブデンの中から選択された金属元素、x>1)を含む第1のゲート電極と、を備えたn型MISトランジスタと、

第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられたMS_i_y膜(ただし、0≤y<1)を含む第2のゲート電極と、を備えたp型MISトランジスタと、を備えたことを特徴とする半導体装置。

【請求項2】x≥2であることを特徴とする請求項1に記載の半導体装置。

【請求項3】前記第1のゲート電極は、前記MS_i_x膜

上に設けられ前記MS_i_x膜よりも抵抗率の低い導電膜をさらに含むことを特徴とする請求項1に記載の半導体装置。

【請求項4】n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_i_y膜(ただし、Mはタングステン及びモリブデンの中から選択された金属元素、0≤y<1)を形成する工程と、

前記第1の領域内の前記MS_i_y膜をシリコンと反応させて第1の領域内にMS_i_x膜(ただし、x>1)を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項5】前記MS_i_x膜を形成する工程は、前記第1の領域内のMS_i_y膜上にシリコン膜を形成する工程と、熱処理によって前記第1の領域内のMS_i_y膜を前記シリコン膜と反応させる工程とを含むことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】前記MS_i_x膜上に前記MS_i_x膜よりも抵抗率の低い導電膜を形成する工程をさらに備えたことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項7】n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_i_x膜（ただし、Mはタンクステン及びモリブデンの中から選択された金属元素、x>1）を形成する工程と、

前記第2の領域内の前記MS_i_x膜に含有されたシリコンを抽出して第2の領域内にMS_i_y膜（ただし、0≤y<1）を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項8】前記MS_i_y膜を形成する工程は、前記第2の領域内のMS_i_x膜上に金属膜を形成する工程と、熱処理によって前記金属膜を前記第2の領域内のMS_i_x膜に含有されたシリコンと反応させる工程とを含むことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】x≥2であることを特徴とする請求項4又は請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特にn型MISトランジスタとp型MISトランジスタとで異なるゲート材料を用いた半導体装置及びその製造方法に関する。

【0002】

【從来の技術】MOSFETの微細化に伴って、ゲート酸化膜（ゲート絶縁膜）の薄膜化が進められている。例えば、50nm以下のゲート長を有するMOSFETでは、厚さ1nm程度の極めて薄いゲート酸化膜が必要となる。その要因の一つとして、ゲート電極として用いる多結晶シリコン（以下、ポリシリコンという場合もある）の空乏化があげられる。このポリシリコンの空乏化がなくなると、ゲート酸化膜を0.5nm程度さらに厚くすることができる。そのため、空乏化のない金属をゲート電極に用いた、いわゆるメタルゲート電極構造のMOSFET（MISFET）が注目されている。

【0003】しかし、ゲート電極として1種類の金属を用いた場合には、以下のような問題が生じる。すなわち、ゲート電極の仕事関数がn型MISFETとp型MISFETとで等しくなる。そのため、ポリシリコンゲートのようにn型MISFETとp型MISFETとでゲート電極の仕事関数を異ならせることができず、しきい値電圧を適正化することが非常に難しくなる。特に、0.5V以下の低いしきい値電圧を実現するためには、n型MISFETのゲート電極には仕事関数が4.6eV以下、望ましくは4.3eV以下の材料、p型MISFETのゲート電極には仕事関数が4.6eV以上、望ましくは4.9eV以上の材料が必要となる。そのため、ゲート電極にn型MISFETとp型MISFETとで異なる金属材料を用いた、いわゆるデュアルメタル

ゲートプロセスが必要となる。

【0004】デュアルメタルゲートプロセスでは、n型MISFETとp型MISFETとでゲート電極を別々に形成する必要がある。そのため、n型及びp型MISFETが形成される領域を含む全面に一方のMISFET（例えばn型）用のゲート電極材料膜を形成し、その後で他方のMISFET（例えばp型）が形成される領域内のゲート電極材料膜のみを選択的に除去し、その後で他方のMISFET（例えばp型）用のゲート電極材料膜を形成する。

【0005】例えば、n型MISFETのゲート電極材料としてハフニウム窒化物、p型MISFETのゲート電極材料としてタンクステンを用いた場合を想定する。この場合、p型MISFET形成領域のハフニウム窒化物は、レジストをマスクとして、例えば過酸化水素水を用いてウエットエッティングによって除去する。

【0006】しかしながら、ハフニウム窒化物等のゲート電極材料をウエットエッティングによって除去する際に、p型MISFET形成領域のゲート絶縁膜もエッティング液に晒されてしまう。また、レジストを除去する際に用いる有機溶剤などにも、p型MISFET形成領域のゲート絶縁膜が晒されてしまう。したがって、上述したデュアルメタルゲートプロセスでは、p型MISFETのゲート絶縁膜の信頼性が大幅に低下してしまうという問題が生じる。

【0007】また、従来技術として、特許文献1、特許文献2及び特許文献3には、n型MISFETとp型MISFETとでゲート電極の仕事関数を変えるために、タンクステンシリサイド膜に不純物をイオン注入するという技術が開示されている。すなわち、n型MISFETのタンクステンシリサイド膜にはn型不純物をイオン注入し、p型MISFETのタンクステンシリサイド膜にはp型不純物をイオン注入することで、n型MISFETのゲート電極の仕事関数とp型MISFETのゲート電極の仕事関数とを異ならせるようにしている。

【0008】しかしながら、タンクステンシリサイド膜中にイオン注入によって不純物を導入するため、イオン注入ダメージによってゲート絶縁膜等の信頼性が低下するという問題が生じる。

【0009】

【特許文献1】特開平8-130216号公報

【0010】

【特許文献2】特開平8-153804号公報

【0011】

【特許文献3】特開平9-246206号公報

【0012】

【発明が解決しようとする課題】このように、n型MISFETとp型MISFETとで互いに仕事関数が異なるゲート電極材料を用いたデュアルメタルゲートプロセスが提案されている。しかしながら、ゲート電極材料を

除去する際のエッチング液やレジストを除去する際の除去液にゲート絶縁膜が晒されるため、ゲート絶縁膜の信頼性が低下するという問題がある。また、シリサイド膜にn型及びp型の不純物をイオン注入することにより、n型MISFETとp型MISFETとでゲート電極の仕事関数を変える方法も提案されている。しかしながら、イオン注入ダメージによってゲート絶縁膜等の信頼性が低下するという問題がある。

【0013】本発明は、上記従来の課題に対してなされたものであり、上述した問題を改善し、素子の特性や信頼性を向上させることができ可能な半導体装置及びその製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】本発明に係る半導体装置は、第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に設けられたMS_i_x膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、 $x > 1$ ）を含む第1のゲート電極と、を備えたn型MISトランジスタと、第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に設けられたMS_i_y膜（ただし、 $0 \leq y < 1$ ）を含む第2のゲート電極と、を備えたp型MISトランジスタと、を備えたことを特徴とする。

【0015】本発明に係る半導体装置の製造方法は、n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_i_y膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、 $0 \leq y < 1$ ）を形成する工程と、前記第1の領域内の前記MS_i_y膜をシリコンと反応させて第1の領域内にMS_i_x膜（ただし、 $x > 1$ ）を形成する工程と、を備えたことを特徴とする。

【0016】本発明に係る半導体装置の製造方法は、n型MISトランジスタが形成される第1の領域内の第1のゲート絶縁膜上及びp型MISトランジスタが形成される第2の領域内の第2のゲート絶縁膜上に、MS_i_x膜（ただし、Mはタングステン及びモリブデンの中から選択された金属元素、 $x > 1$ ）を形成する工程と、前記第2の領域内の前記MS_i_x膜に含有されたシリコンを抽出して第2の領域内にMS_i_y膜（ただし、 $0 \leq y < 1$ ）を形成する工程と、を備えたことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0018】（実施形態1）図1（a）～図6（k）は、本発明の第1の実施形態に係るMISFET（MISトランジスタ）の製造工程を示した断面図である。本実施形態は、いわゆるダマシングゲート技術を用いてMISFETを作製するものである。

【0019】まず、図1（a）に示すように、シリコン基板（半導体基板）10の表面領域に、STI技術等を

用いて素子分離領域11を形成する。続いて、将来除去されるダミーゲート構造として、例えば、厚さ6nm程度のゲート酸化膜（ゲート絶縁膜）12、厚さ150nm程度のポリシリコン膜13及び厚さ50nm程度のシリコン窒化膜14からなる積層構造を、酸化技術、CVD技術、リソグラフィー技術及びRIE技術を用いて形成する。続いて、イオン注入技術を用いて、エクステンション拡散層領域15を形成する。さらに、シリコン窒化膜からなる幅40nm程度のゲート側壁膜16を、CVD技術とRIE技術を用いて形成する。

【0020】次に、図1（b）に示すように、イオン注入技術によりソース・ドレイン拡散層17を形成する。その後、シリサイドプロセス技術により、ダミーゲート構造及びゲート側壁膜16をマスクとして、ソース・ドレイン領域のみに厚さ40nm程度のシリサイド膜（例えばコバルトシリサイド膜）18を形成する。この時、ソース・ドレイン領域のドーパントとして、n型領域にはヒ素、p型領域にはガリウムを、いずれも $1 \times 10^{15} / cm^2$ 以上のドーズ量でイオン注入しておく。これらのドーパントは、シリサイドの凝集を抑制し、熱耐性を大幅に向上させるためのものである。

【0021】次に、図2（c）に示すように、層間絶縁膜19として、例えばシリコン酸化膜をCVD法によって堆積する。さらに、このシリコン酸化膜をCMP技術によって平坦化することで、シリコン窒化膜14及びシリコン窒化膜16の上面を露出させる。

【0022】次に、図2（d）に示すように、例えば磷酸を用いて、シリコン窒化膜14を層間絶縁膜19に対して選択的に除去する。この時に、ゲート側壁膜のシリコン窒化膜16も、ポリシリコン膜13の高さ程度までエッチングされる。続いて、例えばラジカル原子エッチング技術を用いて、ダミーゲートであるポリシリコン膜13を、層間絶縁膜19及びゲート側壁膜16に対して選択的に除去する。

【0023】次に、図3（e）に示すように、弗酸等のウエット処理によってダミーゲート酸化膜12を除去することで、シリコン基板10の表面を露出させる。続いて、このようにして得られたゲート用溝部の少なくとも底部に、ゲート絶縁膜20を形成する。ゲート絶縁膜20には、例えばシリコン基板10を熱酸化することで得られたシリコン酸化膜を用いることができる。また、このシリコン酸化膜の表面を窒素プラズマによってさらに窒化した絶縁膜を、ゲート絶縁膜20として用いてよい。さらに、以下に述べるように、高誘電体膜をゲート絶縁膜20に用いてよい。

【0024】ゲート絶縁膜20に用いる高誘電体膜には、例えばハフニウム酸化膜があげられる。このハフニウム酸化膜は、例えば、HfCl₄とNH₃を用いたCVD法、有機系のHfガスを用いたCVD法、或いはハフニウム窒化物のターゲットやハフニウムのターゲット

を用いたスパッタリング法を用いてハフニウム窒化膜を形成し、その後でハフニウム窒化膜を酸化することにより、形成することができる。酸化されるハフニウム窒化膜の厚さは、数nm程度の極薄であることが望ましい。ハフニウム窒化膜の膜厚が厚くなるにつれて、結晶化が起こりやすくなるためである。ハフニウム窒化物をスパッタリング法で形成する場合は、スパッタされたハフニウムやハフニウム窒化物の粒子のエネルギーを100eV以下、望ましくは50eV以下にすることが望ましい。スパッタ粒子のエネルギーが高くなるにつれて、シリコン基板へスパッタ粒子が食い込むようになり、チャネル表面のモフォロジーが劣化するためである。

【0025】次に、図3(f)に示すように、スパッタリング法、CVD法或いは塗布法を用いて、タングステン膜(W膜)21を全面に形成する。このタングステン膜21の膜厚は、特に限定されるものではないが、後述するような理由により、10nm程度以下であることが望ましい。また、スパッタリング法を用いる場合は、スパッタされたタングステン粒子のエネルギーを100eV以下、望ましくは50eV以下にすることが望ましい。タングステン粒子のエネルギーをこのような低エネルギーにすることで、下地のゲート絶縁膜20へタングステン粒子が食い込むことがなくなり、ゲート絶縁膜の信頼性が著しく向上する。

【0026】次に、図4(g)に示すように、スパッタリング法、CVD法或いは塗布法を用いて、シリコン膜22を全面に形成する。シリコン膜22の膜厚は、少なくともタングステン膜21の膜厚よりも厚くする。また、シリコン膜22の膜厚は、後述するような理由により、30nm程度以下とすることが望ましい。また、タングステン膜21の形成工程からシリコン膜22の形成工程までの間(基板の搬送工程等)は、基板を大気に晒すことなく、真空中或いは酸素の極力少ない雰囲気中に基板を維持することが望ましい。タングステン膜21とシリコン膜22との間に酸素が存在すると、後のシリサイデーション工程において均一な反応が阻害されるおそれがあるためである。

【0027】次に、図4(h)の工程に移行する。なお、図4(h)からは、図の向かって左側はn型MISFET形成領域、右側はp型MISFET形成領域とする(以後の図も同様)。本工程では、リソグラフィー技術を用いて、p型MISFET領域のみが開口したレジスト23のパターンを形成する。

【0028】次に、図5(i)に示すように、レジスト23をマスクとし、且つタングステン膜21をエッチングストッパーとして、シリコン膜22のドライエッチングを行うことで、p型MISFET領域のシリコン膜22のみを選択的に除去する。このとき、ゲート絶縁膜20はタングステン膜21に覆われているため、ドライエッチングされない。

【0029】次に、図5(j)に示すように、レジスト23を有機溶剤などで除去する。この時も、ゲート絶縁膜20はタングステン膜21に覆われているため、有機溶剤などに晒されないですむ。その後、例えば窒素ガス雰囲気中或いは窒素と水素の混合ガス雰囲気中において、500°C~600°C程度の温度で熱処理を行う。この熱処理により、n型MISFET領域のタングステン膜21がシリコン膜22と反応して、タングステンシリサイド膜(WS_{ix}膜)24が形成される。

【0030】上記熱処理によって形成されるタングステンシリサイド膜24の膜厚が厚すぎると、膜応力によつてタングステンシリサイド膜24が剥がれてしまうおそれがある。したがって、タングステンシリサイド膜24の膜厚が、望ましくは20nm以下、より望ましくは10nm以下となるように、タングステン膜21とシリコン膜22の膜厚を設定しておくことが望ましい。

【0031】また、熱処理において反応しなかった余剰のシリコン膜22が存在する場合には、この余剰のシリコン膜22をドライエッチング等によって選択的に除去するようにしてもよいし、或いは、後述するように余剰のシリコン膜22を残してもよい。一方、タングステン膜21は、上記熱処理において全て反応してタングステンシリサイド膜24となるように、タングステン膜21及びシリコン膜22の熱処理温度及び熱処理時間を見定す。

【0032】また、タングステンシリサイド膜(WS_{ix}膜)24におけるシリコンの組成比(シリコン原子数の比率)は、タングステンシリサイド膜24におけるタングステンの組成比(タングステン原子数の比率)よりも高いことが望ましい。すなわち、x > 1であることが望ましい。特に、シリコンの組成比がタングステンの組成比の2倍以上であること(x ≥ 2)が望ましい。

【0033】次に、図6(k)に示すように、タングステン膜25を、スパッタリング法或いはCVD法などを用いて全面に堆積する。続いて、タングステン膜21、タングステンシリサイド膜24及びタングステン膜25のCMPを行う。これにより、n型MISFET領域のゲート用溝内にはタングステンシリサイド膜24及びタングステン膜25が、p型MISFET領域にはタングステン膜21及びタングステン膜25が、それぞれ埋め込まれたゲート電極構造が得られる。

【0034】以上のようにして、n型MISFETではゲート電極の最下層(ゲート絶縁膜20に接する部分)がタングステンシリサイド膜24であり、p型MISFETではゲート電極の最下層(ゲート絶縁膜20に接する部分)がタングステン膜21である相補型MISFET(CMISFET)が得られる。

【0035】図7は、WS_{ix}膜(或いはWS_{iy}膜)におけるx値(或いはy値)と仕事関数の関係を示した図である。図に示すように、x = 0の場合、すなわちタ

ングステン膜(W膜)の場合には、仕事関数は4.7～4.9eV程度である。仕事関数が幅を持っているのは、結晶方位面に応じて仕事関数が異なるためである。

【0036】タングステンシリサイド膜(WS_i_x膜)におけるシリコンの組成比が、タングステンシリサイド膜におけるタングステンの組成比よりも高い場合、すなわちx>1の場合には、タングステンシリサイド膜の仕事関数は、結晶方位面によって多少変動はあるものの、4.6eV程度以下となる。すでに述べたように、n型MISFETのゲート電極の仕事関数は4.6eV以下にすることが望ましい。したがって、x>1とすることで、n型MISFETのゲート電極に適したタングステンシリサイド膜が得られる。また、シリコンの組成比がタングステンの組成比の2倍以上である場合、すなわちx≥2の場合には、結晶方位面によらず、タングステンシリサイド膜の仕事関数が4.6eV程度以下となる。したがって、x≥2とすることで、n型MISFETのゲート電極により適したタングステンシリサイド膜が得られる。

【0037】なお、上述した実施形態では、p型MISFETのゲート電極の最下層にタングステン膜(W膜)21を用いたが、タングステン膜21の代わりにタングステンシリサイド膜(WS_i_y膜)を用いることも可能である。この場合にも、基本的には上述した実施形態と同様の製造方法を適用可能である。すでに述べたように、p型MISFETのゲート電極の仕事関数は4.6eV以上にすることが望ましい。図7からわかるように、y<1とすることで、4.6eV程度以上の仕事関数を有する、p型MISFETのゲート電極に適したタングステンシリサイド膜が得られる。したがって、p型MISFETのゲート電極には、タングステン膜(y=0に対応)の他、タングステンシリサイド膜(0<y<1に対応)を用いることが可能である。

【0038】以上のように、本実施形態によれば、n型MISFET及びp型MISFETそれぞれのゲート電極の仕事関数を最適化することにより、n型MISFETとp型MISFETそれぞれのしきい値電圧を適正化することが可能となる。

【0039】また、本実施形態によれば、ゲート絶縁膜上にタングステン膜を形成した後に該タングステン膜を除去しないため、ゲート絶縁膜の表面が従来のようにウェットエッチング液や有機溶剤などに晒されることがない。また、従来のようにタングステンシリサイド膜中に不純物をイオン注入するがないため、ゲート絶縁膜にイオン注入ダメージが加わることもない。したがって、ゲート絶縁膜の信頼性に優れたMISFETを作製することが可能となる。

【0040】また、タングステンは、ゲート絶縁膜(特にシリコン酸化膜(SiO₂膜)やシリコン酸窒化膜(SiON膜))中に拡散し難いため、この点からもゲ

ート絶縁膜の信頼性に優れたMISFETを得ることが可能となる。

【0041】なお、上述した図6(k)の工程で形成する上層側のタングステン膜25は、主としてゲート電極の低抵抗化のためのものである。したがって、タングステンシリサイド膜よりも抵抗率の低い導電材料として、タングステンの他にアルミニウム等を用いてもよい。

【0042】また、図6(k)の工程において、タングステン膜25を形成する前にチタン窒化膜等のバリアメタル膜を5nm程度形成し、その後でタングステン膜25を形成するようにしてもよい。

【0043】また、図5(j)の工程において熱処理で反応しなかった余剰のシリコン膜22を除去しなかった場合には、図6(k)の工程においてタングステン膜25を形成した後に熱処理を行い、この熱処理によって余剰のシリコン膜22とタングステン膜25とを反応させてタングステンシリサイド膜にしてもよい。或いは、チタン膜及びチタン窒化膜の積層構造からなるバリアメタル膜を形成した後にタングステン膜25を形成し、その後に熱処理を行って余剰のシリコン膜22とチタンとを反応させてチタンシリサイド膜にしてもよい。

【0044】さらに、上述した実施形態では、p型MISFETのゲート電極の最下層をタングステン膜21とし、n型MISFETのゲート電極の最下層をタングステンシリサイド膜24としたが、p型MISFETのゲート電極の最下層をモリブデン膜とし、n型MISFETのゲート電極の最下層をモリブデンシリサイド膜としてもよい。この場合、上述した製造工程で用いたタングステン膜21の代わりにモリブデン膜を用いることで、上述したのと同様の工程を適用することが可能である。また、モリブデンシリサイド膜についても、図7と同様の特性を示すことから、一般的に言えば、n型MISFETのゲート電極についてはMoSi_x膜(x>1、より望ましくはx≥2)を、p型MISFETのゲート電極についてはMoSi_y膜(0≤y<1)を適用することが可能である。

【0045】(実施形態2) 図8(a)～図10(i)は、本発明の第2の実施形態に係る半導体装置の製造方法を模式的に示した断面図である。

【0046】まず、図8(a)に示すように、素子分離領域101を有した単結晶シリコン基板(半導体基板)100上に、シリコン酸化膜102を形成する。続いて、シリコン酸化膜102上に、多結晶シリコン膜103を堆積する。

【0047】次に、図8(b)に示すように、多結晶シリコン膜103を異方性エッチングし、ダミーゲート電極を形成する。続いて、n型MISトランジスタが形成される領域(nMOS領域)にはAs⁺イオンをイオン注入し、p型MISトランジスタが形成される領域(pMOS領域)にはB⁺イオンをイオン注入する。さら

に、1000°C、5秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層105を形成する。

【0048】次に、図8(c)に示すように、シリコン窒化膜106及びシリコン酸化膜107を全面に堆積する。その後、エッチバックを行い、ダメージゲート電極の側壁上に選択的にシリコン窒化膜106及びシリコン酸化膜107を残す。続いて、nMOS領域にはP⁺イオンをイオン注入し、pMOS領域にはB⁺イオンをイオン注入する。さらに、950°C、10秒の熱処理を施すことによって、ソース・ドレイン領域の一部となる拡散層108を形成する。

【0049】次に、図9(d)に示すように、層間絶縁膜109を全面に堆積する。その後、化学的機械的研磨(CMP)によって層間絶縁膜109を平坦化し、多結晶シリコン膜103の表面を露出させる。

【0050】次に、図9(e)に示すように、多結晶シリコン膜103を除去し、さらにシリコン酸化膜102を除去する。これにより、シリコン基板100及びシリコン窒化膜106に囲まれた溝が形成される。

【0051】次に、図9(f)に示すように、プラズマ酸窒化法により、溝の底部に、ゲート絶縁膜110として薄いシリコン酸窒化膜を形成する。

【0052】次に、図10(g)に示すように、CVD法により、全面にタングステンシリサイド膜(WSi_x膜)111を堆積する。ソースガスとしては、例えば、W(CO)₆及びSiH₄を用いる。さらに、CMP法によって、タングステンシリサイド膜111を平坦化して、層間膜109の表面を露出させる。

【0053】次に、図10(h)に示すように、金属膜としてタングステン膜(W膜)112を全面に堆積する。さらに、PMOS領域以外のタングステン膜112をエッチングによって除去する。

【0054】次に、図10(i)に示すように、例えば600°C程度の熱処理を行う。この熱処理により、タングステンシリサイド膜111中のSiがタングステン膜112側に抽出される。その結果、pMOS領域では、nMOS領域のタングステンシリサイド膜111よりもSi濃度が低いタングステンシリサイド膜113が形成される。その後、残ったタングステン膜112を除去することで、図10(i)に示すような構造が得られる。

【0055】このようにして、nMOSトランジスタのゲート電極には相対的に仕事関数が低いタングステンシリサイド膜111を用い、pMOSトランジスタのゲート電極には相対的に仕事関数の高いタングステンシリサイド膜113を用いたCMOSトランジスタを得ることができる。

【0056】図10(i)の熱処理工程の効果を調べるために、図11に示すようなMISキャパシタを以下のようにして作製した。まず、素子分離領域201を有し

た単結晶シリコン基板200上に、ゲート絶縁膜202を形成する。続いて、ゲート絶縁膜202上に、タングステンシリサイド膜203(厚さ10nm)堆積し、さらにタングステンシリサイド膜203上にタングステン膜204(厚さ40nm)を堆積する。続いて、タングステンシリサイド膜203及びタングステン膜204をパターニングしてゲート電極を形成する。その後、窒素雰囲気中で450~600°Cの温度範囲で熱処理を行い、タングステンシリサイド膜203中のSiをタングステン膜204によって抽出する。さらに、水素と窒素の混合ガス雰囲気中で450°Cの熱処理を行う。このようにして、図11に示したようなMISキャパシタを作製した。

【0057】図12は、このようにして作製したMISキャパシタのC-V特性の測定結果を示したものである。特性(a)、(b)、(c)及び(d)は、それぞれ熱処理温度を450°C、500°C、550°C及び600°Cとしたものである。また、タングステンシリサイド膜203及びタングステン膜204の積層構造を有するMISキャパシタの他、タングステンシリサイド膜の単層構造を有するMISキャパシタ及びタングステン膜の単層構造を有するMISキャパシタについても測定を行った。

【0058】その結果、450°Cで熱処理を行った積層構造を有するMISキャパシタのC-V特性は、タングステンシリサイド膜の単層構造を有するMISキャパシタのC-V特性と一致することがわかった。そして、熱処理温度が500°C、550°C及び600°Cと増加するにしたがってC-V特性は右方向にシフトし、600°Cの場合には、タングステン膜の単層構造を有するMISキャパシタのC-V特性と一致することがわかった。C-V特性のシフト量は電極材料の仕事関数に比例し、C-V特性が右側にシフトするほど仕事関数が高いことを意味する。したがって、熱処理温度を増加させるにしたがって、タングステンシリサイド膜からタングステン膜へ移動するシリコンの量が増加し、600°C程度の温度で熱処理を行った場合には、少なくともタングステンシリサイド膜とゲート絶縁膜との界面近傍では、タングステンシリサイド膜がタングステン膜に極めて近い状態になっていると考えられる。

【0059】なお、本実施形態においても、タングステンシリサイド膜(WSi_x膜或いはWSi_y膜)におけるx値或いはy値と仕事関数との関係は、第1の実施形態で示した図7と同様である。したがって、n型MISFETのタングステンシリサイド膜(WSi_x膜)では、x>1望ましくはx≥2となるようにする。すなわち、タングステンシリサイド膜(WSi_x膜)111については、x>1望ましくはx≥2となるようにする。また、p型MISFETのタングステンシリサイド膜(WSi_y膜)では、y<1となるようにする。すなわ

ち、タングステンシリサイド膜 (WS_{i_y} 膜) 113について、y < 1となるようにする。また、図11及び図12で示した結果からもわかるように、熱処理温度等によってはタングステンシリサイド膜111が実質的にタングステン膜に変換される場合もある。したがって、p型MISFETについては、タングステンシリサイド膜 (WS_{i_y} 膜、0 < y < 1) 113の代わりにタングステン膜 (W膜、y = 0に対応) を用いることが可能である。

【0060】以上のように、本実施形態によれば、n型MISFET及びp型MISFETそれぞれのゲート電極の仕事関数を最適化することにより、n型MISFE Tとp型MISFETそれぞれのしきい値電圧を適正化することが可能となる。

【0061】また、本実施形態によれば、ゲート絶縁膜上にタングステンシリサイド膜を形成した後に該タングステンシリサイド膜を除去しないため、ゲート絶縁膜の表面が従来のようにウエットエッチング液や有機溶剤などに晒されることがない。また、従来のようにタングステンシリサイド膜中に不純物をイオン注入することができないため、ゲート絶縁膜にイオン注入ダメージが加わることもない。したがって、ゲート絶縁膜の信頼性に優れたMISFETを作製することが可能となる。

【0062】なお、本実施形態では、タングステンシリサイド膜111のソースガス (成膜用ガス) としてW(CO)₆ 及びSiH₄ を用いたが、WのソースガスにはWF₆ 或いはWC₁₆ を、SiのソースガスにはSiH₂C₁₂、SiC₁₄ 或いはSiF₄ を用いることも可能である。

【0063】また、本実施形態において、タングステンシリサイド膜111中にリン(P) 或いはヒ素(A_s) を含有させるようにしてもよい。Pを含有させる場合には、Pのソースガスとして例えばPH₃ を用いればよい。A_s を含有させる場合には、Pのソースガスとして例えばAsH₃ を用いればよい。タングステンシリサイド膜にPやA_s 等の不純物を含有させることで、不純物を含有していないタングステンシリサイド膜よりも仕事関数を下げることが可能である。

【0064】また、本実施形態では、タングステンシリサイド膜111とタングステン膜 (金属膜) 112を反応させるようにしたが、タングステン膜112の代わりにPt、Pd、Ni、Co、W、Mo、Sb及びBiの少なくとも一つを含有する金属膜を用いることが可能である。

【0065】さらに、本実施形態では、n型MISFETのゲート電極にタングステンシリサイド膜111を用い、p型MISFETのゲート電極にタングステンシリサイド膜113を用いたが、これらのタングステンシリサイド膜の代わりにモリブデンシリサイド膜を用いてよい。この場合、上述した製造工程で用いたタングステ

ンシリサイド膜111の代わりにモリブデンシリサイド膜を用いることで、上述したのと同様の工程を適用することが可能である。Moのソースガスには、Mo(CO)₆、MoF₆ 或いはMoCl₆ を用いることが可能である。Siのソースガスには、SiH₄、SiH₂C₁₂、SiC₁₄ 或いはSiF₄ を用いることが可能である。また、モリブデンシリサイド膜についても、図7と同様の特性を示すことから、一般的に言えば、n型MISFETのゲート電極についてはMoSi_x 膜 (x > 1、より望ましくはx ≥ 2) を、p型MISFETのゲート電極についてはMoSi_y 膜 (0 ≤ y < 1) を適用することが可能である。

【0066】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0067】

【発明の効果】本発明によれば、従来のデュアルメタルゲートプロセスを用いた半導体装置の問題点が改善され、素子特性や信頼性に優れた半導体装置を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図4】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図5】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図6】本発明の第1の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図7】WS_{i_x} 膜 (或いはWS_{i_y} 膜) におけるx値 (或いはy値) と仕事関数の関係を示した図である。

【図8】本発明の第2の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図9】本発明の第2の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図10】本発明の第2の実施形態に係る半導体装置の製造工程についてその一部を示した断面図である。

【図11】本発明の第2の実施形態に係り、熱処理の効果を調べるために作製したMISキャパシタの構成を示した図である。

【図12】図11に示したような構成を有するMISキヤバシタについて、そのC-V特性の測定結果を示した図である。

【符号の説明】

10、100、200…シリコン基板	17…ソース・ドレイン拡散層
11、101、201…素子分離領域	18…シリサイド膜
12、20、110、202…ゲート絶縁膜	19、109…層間絶縁膜
13、103…多結晶シリコン膜	21、25、112、204…タングステン膜
14、106…シリコン窒化膜	22…シリコン膜
15…エクステンション拡散層領域	23…レジスト
16…ゲート側壁膜	24、111、113、203…タングステンシリサイド膜
	102、107…シリコン酸化膜
	105、108…拡散層

フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB04 BB05 BB06
 BB07 BB16 BB18 BB20 BB26
 BB28 BB38 BB40 CC05 DD03
 DD37 DD43 DD45 DD78 DD83
 DD84 DD91 EE03 EE09 EE16
 EE17 FF13 FF18 GG08 GG09
 GG10 GG14 HH16
 5F048 AA07 AA09 AC03 BA01 BB01
 BB04 BB08 BB09 BB10 BB11
 BB12 BB13 BB14 BB18 BC06
 BD04 BF06 BG13 BG14 DA27